

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



P/727-123

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Yu-Nung SHEN

Date : March 29, 2004

Serial No. : 10/716,948

Group Art Unit : 2811

Filed : November 19, 2003

Examiner : ---

For : SEMICONDUCTOR DEVICE WITH A MULTI-LEVEL INTECONNECT
STRUCTURE AND METHOD FOR MAKING THE SAME

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENTS

Sir:

In accordance with 35 U.S.C. §119, Applicants confirm the prior request for priority under the International Convention and submits herewith the following documents in support of the claim:

Certified Taiwan Application No.:

Taiwan Patent Application No. 091134054 filed November 22, 2002

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on March 29, 2004.

Robert C. Faber

Name of applicant, assignee or
Registered Representative

Signature _____

March 29, 2004
Date of Signature

Respectfully submitted,

Robert C. Faber

Registration No.: 24,322

OSTROLENK, FABER, GERB & SOFFEN, LLP

1180 Avenue of the Americas

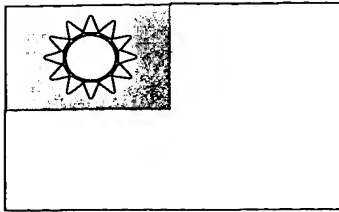
New York, New York 10036-8403

Telephone: (212) 382-0700

RCF:cbf

Enclosures

pc 21729 AM



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 11 月 22 日
Application Date

申請案號：091134054
Application No.

申請人：沈育濃
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 2 月 3 日
Issue Date

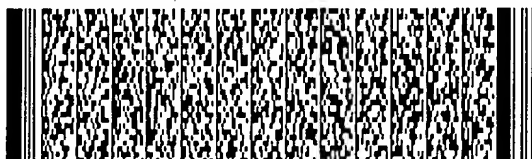
發文字號：09320093490
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

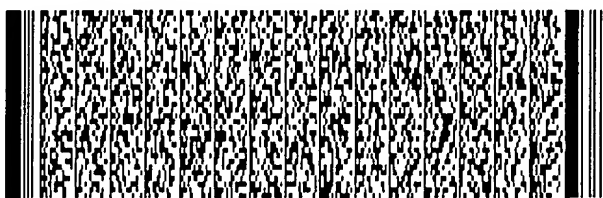
一、 發明名稱	中 文	具有多層佈線結構之半導體晶片裝置及其之封裝方法
	英 文	
二、 發明人 (共1人)	姓 名 (中文)	1. 沈育濃
	姓 名 (英文)	1. Shen Yu-Nung
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北市內湖區麗山街328巷60號
	住居所 (英 文)	1. No. 60, Lane 328, Li-Shan Street, Nei-Hu Dist., Taipei City
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 沈育濃
	名稱或 姓 名 (英文)	1. Shen Yu-Nung
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北市內湖區麗山街328巷60號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 60, Lane 328, Li-Shan Street, Nei-Hu Dist., Taipei City
	代表人 (中文)	1.
	代表人 (英文)	1.



四、中文發明摘要 (發明名稱：具有多層佈線結構之半導體晶片裝置及其之封裝方法)

一種具有多層佈線結構之半導體晶片裝置之封裝方法，包含如下之步驟：提供一半導體晶元，該半導體晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；於該晶元的焊墊安裝表面上形成一第一絕緣層，該第一絕緣層係對應於該晶元的焊墊來形成有數個用於曝露對應之焊墊的通孔；於該等焊墊中之至少一者上形成一第一導電體，該等第一導電體具有一與該焊墊電氣連接的第一端部和一從該焊墊向上延伸至該第一絕緣層之頂表面上的第二端部；於該第一絕緣層上形成一第二絕緣層，該第二絕緣層係對應於該等第一導電體的第二端部來形成有數個用於曝露對應之第一導電體之第二端部的通孔；於每一第一導電體之第一端部上形成另一導電體；於該第二絕緣層上形成一第三絕緣層，該第三絕緣層係對應於該等另一導電體來形成有數個用於曝露對應之另一導電體的通孔；及於每一該等另一導電體上係形成有一導電球體。

陸、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：具有多層佈線結構之半導體晶片裝置及其之封裝方法)

伍、(一)、本案代表圖為：第九圖

(二)、本案代表圖之元件代表符號簡單說明：

9 導電球體

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明係有關於一種半導體晶片裝置及其之封裝方法，更特別地，係有關於一種具有多層佈線結構之半導體晶片裝置及其之封裝方法。

【先前技術】

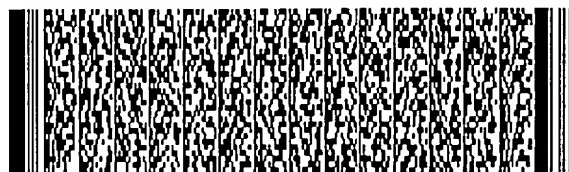
隨著半導體製程的持續發展，半導體晶元之表面面積及晶元之表面上之焊墊係變得越來越小，且焊墊間的距離亦會因焊墊數目越益增加而越益縮小，以致於在與外部電路電氣連接時變得非常不易，進而影響生產良率，甚至影響半導體製程持續的發展。

【發明內容】

有鑑於此，本案發明人遂以其從事該行業之多年經驗，並本著精益求精之精神，積極研究改良，遂有本發明『一種具有多層佈線結構之半導體晶片裝置及其之封裝方法』產生。

本發明之目的是為提供一種具有多層佈線結構之半導體晶片裝置及其之封裝方法。

根據本發明之一特徵，一種具有多層佈線結構之半導體晶片裝置之封裝方法，包含如下之步驟：提供一半導體晶元，該半導體晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；於該晶元的焊墊安裝表面上形成一第一絕緣層，該第一絕緣層係對應於該晶元的焊墊來形成有數個用於曝露對應之焊墊的通孔；於該等焊墊中之至少一者上形成一第一導電體，該等第一導電體具有一與該



五、發明說明 (2)

焊墊電氣連接的第一端部和一從該焊墊向上延伸至該第一絕緣層之頂表面上的第二端部；於該第一絕緣層上形成的第一第二絕緣層，該第二絕緣層係對應於該等第一導電體的第一端部的通孔；於每一第一導電體之第一端部上形成另一導電體；於該第二絕緣層上形成一第三絕緣層，該第三絕緣層係對應於該等另一導電體來形成有數個用於曝露對應之另一導電體的通孔；及於每一該等另一導電體上係形成有一導電球體。

根據本發明的另一特徵，一種具有多層佈線結構之半導體晶片裝置，包含：一半導體晶元，該半導體晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；一形成於該晶元之焊墊安裝表面上的第一絕緣層，該第一絕緣層係對應於該晶元的焊墊來形成有數個用於曝露對應之焊墊的通孔；至少一個形成於該等焊墊中之一者上的第一導電體，該等第一導電體各具有一與對應之焊墊電氣連接的第一端部和一從該對應之焊墊向上延伸至該第一絕緣層之頂表面上的第二端部；一形成於該第一絕緣層上的第二絕緣層，該第二絕緣層係對應於該等第一導電體的第二端部來形成有數個用於曝露對應之第一導電體之第二端部的通孔；至少一個形成於該至少一個第一導電體之第一端部上的另一導電體；一形成於該第二絕緣層上的第三絕緣層，該第三絕緣層係對應於該等另一導電體來形成有數個用於曝露對應之另一導電體的通孔；及一形成於該至少一



五、發明說明 (3)

個另一導體上的導電球體。

【實施方式】

在本發明被詳細描述之前，應要注意的是在整個說明當中，相同的元件係由相同的標號標示。

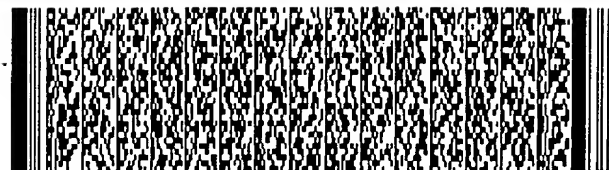
請參閱第一至九圖所示，本發明較佳實施例之具有多層佈線結構之半導體晶片裝置之封裝方法的流程係被顯示。

如在第一圖中所顯示般，首先，一半導體晶元1 係被提供。該半導體晶元1 具有一焊墊安裝表面10 及數個安裝於該焊墊安裝表面10 上的焊墊11（在圖式中僅顯示一個焊墊）。

應要注意的是，該半導體晶元1 可以是為已從一晶圓（Wafer）切割出來的晶元，也可以是為尚未從一晶圓切割出來的晶元。

接著，一第一絕緣層2 係能夠，例如，藉由印刷手段把液態光阻劑（Photo Liquid Film Ink）印刷於該晶元1 的焊墊安裝表面10 上，再將其加熱固化來形成。然後，如在第二圖中所示，藉由習知的曝光處理和化學沖洗手段，該第一絕緣層2 係對應於該晶元1 的焊墊11 來形成有數個用於曝露對應之焊墊11 的通孔13。然後，利用任何適合的電鍍手段，於每一焊墊11 上係形成有一金屬導電塊12。

現在，請參閱第三和四圖所示，第四圖是為第三圖的頂視圖。數個第一導體30 和數個第二導體31 係分別形成於對應的金屬導電塊12 上。該等第一導體30 中之每一



五、發明說明 (4)

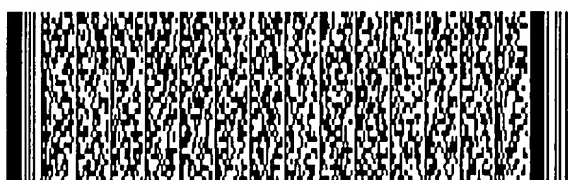
者具有一與對應之金屬導電塊12電氣連接的第一端部300和一從該對應之金屬導電塊12向上延伸至該第一絕緣層2之頂表面上的第二端部301。

接著，請參閱第五圖所示，該等第一導電體30的第二端部係藉由研磨處理來被磨平。然後，於每一第一導電體30上係藉由任何適合的電鍍手段來形成一導電層4。該導電層4係可以由一鍍鎳層和一鍍金層構成。當然，該導電層4係可以由任何其他電鍍金屬層構成，或者僅包含一電鍍金屬層。

現在請參閱第六圖所示，一第二絕緣層5係以與第一絕緣層2類似的方式來形成於該第一絕緣層2上俾覆蓋該等第一和第二導電體30和31。該第二絕緣層5亦係藉由習知的曝光處理和化學沖洗手段來對應於該等第一導電體30的第二端部和該等第二導電體31來形成有數個用於曝露對應之第一導電體30之第二端部和該等第二導電體31的通孔50。應要注意的是，為了清楚顯示本實施例的結構，第六圖並不是在同一個切面下的剖視圖。

然後，請參閱第七圖所示，數個第三導電體60係形成於對應之第一導電體30之被曝露的第二端部上，而數個第四導電體61係形成於對應的第二導電體31上。該等第四導電體61中之每一者具有一與對應之第二導電體31電氣連接的第一端部610和一從該對應之第二導電體31向上延伸至該第二絕緣層5之頂表面上的第二端部611。

現在請參閱第八圖所示，該等第三導電體60的頂端部



五、發明說明 (5)

份和該等第四導電體61的第二端部611係藉由研磨處理來被磨平。然後，一第三絕緣層7係以與第一和第二絕緣層2和5類似的方式形成於該第二絕緣層5上俾覆蓋該等第三和第四導電體60和61。

接著，該第三絕緣層7亦係藉由習知的曝光處理和化學沖洗手段來對應於第三導電體60與第四導電體61的第二端部611來形成有數個用於曝露對應之第三導電體60與對應之第四導電體61之第二端部的通孔70。

然後，於每一第三導電體60與每一第四導電體61之第二端部上係形成有一金屬連接塊8。

最後，在每一金屬連接塊8上係形成有一導電球體9。

如是，藉由本發明的應用，即使焊墊間的間距越來越小，一方面係依然能夠有足夠的空間來形成與外部電路連接的導電體，而另一方面亦能夠保持高的良率。

應要注意的是，在以上所揭露的實施例中，係僅有第一至第三絕緣層，然而，絕緣層的數目係可視需要而增加或減少。

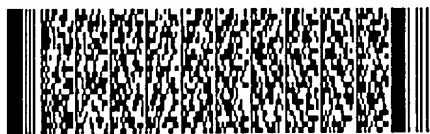
綜上所述，本發明之『具有多層佈線結構之半導體晶片裝置及其之封裝方法』，確能藉上述所揭露之構造、裝置，達到預期之目的與功效，且申請前未見於刊物亦未公開使用，符合發明專利之新穎、進步等要件。

惟，上述所揭之圖式及說明，僅為本發明之實施例而已，非為限定本發明之實施例；大凡熟悉該項技藝之人仕



五、發明說明 (6)

，其所依本發明之特徵範疇，所作之其他等效變化或修飾，皆應涵蓋在以下本案之申請專利範圍內。



圖式簡單說明

第一至九圖是為描繪本發明較佳實施例之具有多層佈線結構之半導體晶片裝置及其之封裝方法之流程的示意剖視圖。

【圖式之主要元件代表符號表】

1	半導體晶元	10	焊墊安裝表面
11	焊墊	12	金屬導電塊
13	通孔	2	第一絕緣層
30	第一導電體	31	第二導電體
300	第一端部	301	第二端部
4	導電層	5	第二絕緣層
50	通孔	60	第三導電體
61	第四導電體	610	第一端部
611	第二端部	7	第三絕緣層
70	通孔	8	金屬連接塊
9	導電球體		



六、申請專利範圍

1. 一種具有多層佈線結構之半導體晶片裝置之封裝方法，包含如下之步驟：

提供一半導體晶元，該半導體晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；

於該晶元的焊墊安裝表面上形成一第一絕緣層，該第一絕緣層係對應於該晶元的焊墊來形成有數個用於曝露對應之焊墊的通孔；

於該等焊墊中之至少一者上形成一第一導電體，該等第一導電體具有一與該焊墊電氣連接的第一端部和一從該焊墊向上延伸至該第一絕緣層之頂表面上的第二端部；

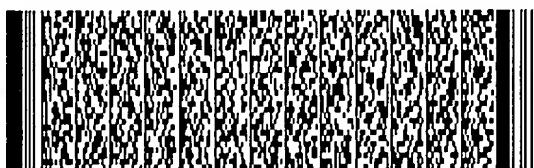
於該第一絕緣層上形成一第二絕緣層，該第二絕緣層係對應於該等第一導電體的第二端部來形成有數個用於曝露對應之第一導電體之第二端部的通孔；

於每一第一導電體之第一端部上形成另一導電體；

於該第二絕緣層上形成一第三絕緣層，該第三絕緣層係對應於該等另一導電體來形成有數個用於曝露對應之另一導電體的通孔；及

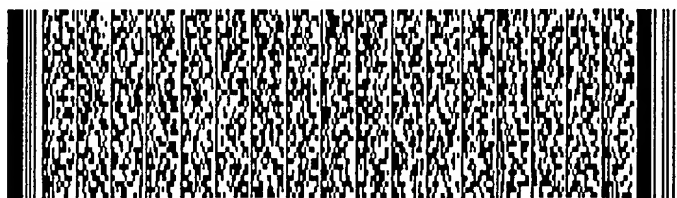
於每一該等另一導電體上係形成有一導電球體。

2. 如申請專利範圍第1項所述之具有多層佈線結構之半導體晶片裝置之封裝方法，在形成第一導電體的步驟之前，更包含一個於晶元之每一焊墊上形成有一金屬導電塊的步驟，每一個該等第一導電體之第一端部份係與對應的金屬導電塊電氣連接。



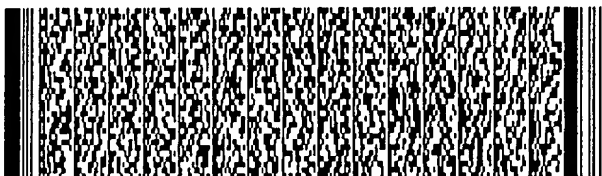
六、申請專利範圍

3. 如申請專利範圍第2項所述之具有多層佈線結構之半導體晶片裝置之封裝方法，其中，在形成第一導電體的步驟中，更包含一個於該等焊墊中之至少一者上形成第一第二導電體的步驟，該等第二導電體係與對應之焊墊上的金屬導電塊電氣連接，且其中，在形成該第二絕緣層的步驟中，該第二絕緣層係更對應於該等第二導電體來形成有數個用於曝露對應之第二導電體的通孔。
4. 如申請專利範圍第3項所述之具有多層佈線結構之半導體晶片裝置之封裝方法，其中，在形成另一導電體的步驟中，該等另一導電體是為第三導電體，且在該形成另一導電體的步驟中，更包含一個於每一第二導電體上形成一第四導電體的步驟，該等第四導電體具有一與對應之第二導電體電氣連接的第一端部和一從該對應之第二導電體向上延伸到該第二絕緣層之頂表面上的第二端部。
5. 如申請專利範圍第4項所述之具有多層佈線結構之半導體晶片裝置之封裝方法，其中，在形成該第三絕緣層的步驟中，該第三絕緣層係更對應於該等第四導電體的第二端部來形成有數個用於曝露對應之第四導電體之第二端部的通孔。
6. 如申請專利範圍第5項所述之具有多層佈線結構之半導體晶片裝置之封裝方法，其中，在形成導電球體的步驟中，更包含一個於每一個該等第四導電體之第二端部上形成一導電球體的步驟。



六、申請專利範圍

7. 如申請專利範圍第1項所述之具有多層佈線結構之半導體晶片裝置之封裝方法，在形成該第二絕緣層之前，更包含一個藉由研磨處理把該等第一導電體之第二端部磨平的步驟。
8. 如申請專利範圍第1項所述之具有多層佈線結構之半導體晶片裝置之封裝方法，在形成該第二絕緣層之前，更包含一個於每一個該等第一導電體之上形成一導電層的步驟。
9. 如申請專利範圍第8項所述之具有多層佈線結構之半導體晶片裝置之封裝方法，其中，在形成導電層的步驟中，每一個該等導電層係由一鍍鎳層與一鍍金層構成。
10. 如申請專利範圍第1項所述之具有多層佈線結構之半導體晶片裝置之封裝方法，在形成該第二絕緣層之前，更包含如下之步驟：
藉由研磨處理把該等第一導電體之第二端部磨平；
及
於每一個該等第一導電體之上形成一導電層。
11. 如申請專利範圍第11項所述之具有多層佈線結構之半導體晶片裝置之封裝方法，其中，在形成導電層的步驟中，每一個該等導電層係由一鍍鎳層與一鍍金層構成。
12. 如申請專利範圍第5項所述之具有多層佈線結構之半導體晶片裝置之封裝方法，其中，在形成該第三絕緣層的步驟之前，更包含一個藉由研磨處理把該等第三



六、申請專利範圍

導電體和該等第四導電體之第二端部磨平的步驟。

13. 如申請專利範圍第12項所述之具有多層佈線結構之半導體晶片裝置之封裝方法，在把該等第三導電體和該等第四導電體之第二端部磨平的步驟之後，更包含一個於每一第三導電體與每一第四導電體之第二端部上形成一金屬連接塊的步驟。

14. 一種具有多層佈線結構之半導體晶片裝置，包含：

一半導體晶元，該半導體晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；

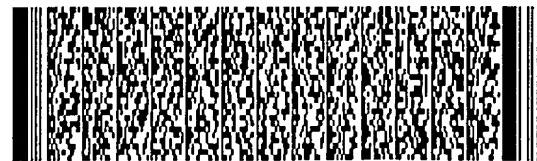
一形成於該晶元之焊墊安裝表面上的第一絕緣層，該第一絕緣層係對應於該晶元的焊墊來形成有數個用於曝露對應之焊墊的通孔；

至少一個形成於該等焊墊中之一者上的第一導電體，該等第一導電體各具有一與對應之焊墊電氣連接的第一端部和一從該對應之焊墊向上延伸至該第一絕緣層之頂表面上的第二端部；

一形成於該第一絕緣層上的第二絕緣層，該第二絕緣層係對應於該等第一導電體的第二端部來形成有數個用於曝露對應之第一導電體之第二端部的通孔；

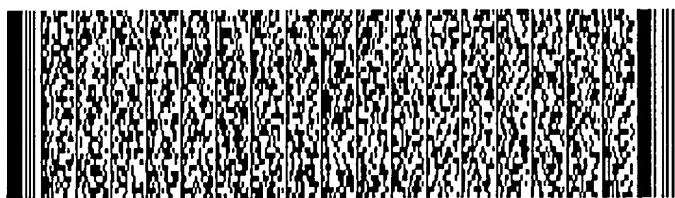
至少一個形成於該至少一個第一導電體之第一端部上的另一導電體；

一形成於該第二絕緣層上的第三絕緣層，該第三絕緣層係對應於該等另一導電體來形成有數個用於曝露對應之另一導電體的通孔；及



六、申請專利範圍

- 一形成於該至少一個另一導電體上的導電球體。
15. 如申請專利範圍第14項所述之具有多層佈線結構之半導體晶片裝置，更包含一個形成於晶元之每一焊墊上的金屬導電塊，每一個該等第一導電體之第一端部份係與對應的金屬導電塊電氣連接。
16. 如申請專利範圍第15項所述之具有多層佈線結構之半導體晶片裝置，更包含至少一個形成於該等焊墊中之另一者上的第二導電體，該等第二導電體係與對應之焊墊上的金屬導電塊電氣連接，該第二絕緣層係更對應於該等第二導電體來形成有數個用於曝露對應之第二導電體的通孔。
17. 如申請專利範圍第16項所述之具有多層佈線結構之半導體晶片裝置，其中，該等另一導電體是為第三導電體，該裝置更包含形成於每一第二導電體上的第四導電體，該等第四導電體具有一與對應之第二導電體電氣連接的第一端部和一從該對應之第二導電體向上延伸到該第二絕緣層之頂表面上的第二端部。
18. 如申請專利範圍第17項所述之具有多層佈線結構之半導體晶片裝置，其中，該第三絕緣層係更對應於該等第四導電體的第二端部來形成有數個用於曝露對應之第四導電體之第二端部的通孔。
19. 如申請專利範圍第18項所述之具有多層佈線結構之半導體晶片裝置，其中，於每一個該等第四導電體之第二端部上係形成有一導電球體。



六、申請專利範圍

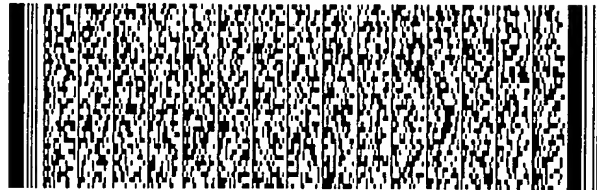
20. 如申請專利範圍第14項所述之具有多層佈線結構之半導體晶片裝置，其中，該等第一導電體之第二端部係藉由研磨處理來被磨平。
21. 如申請專利範圍第14項所述之具有多層佈線結構之半導體晶片裝置，更包含形成於每一個該等第一導電體之上的導電層。
22. 如申請專利範圍第21項所述之具有多層佈線結構之半導體晶片裝置，其中，每一個該等導電層係由一鍍鎳層與一鍍金層構成。
23. 如申請專利範圍第14項所述之具有多層佈線結構之半導體晶片裝置，其中，該等第一導電體之第二端部係藉由研磨處理來被磨平，且該裝置更包含形成於每一個該等第一導電體之上的導電層。
24. 如申請專利範圍第24項所述之具有多層佈線結構之半導體晶片裝置，其中，每一個該等導電層係由一鍍鎳層與一鍍金層構成。
25. 如申請專利範圍第18項所述之具有多層佈線結構之半導體晶片裝置，其中，該等第三導電體和該等第四導電體之第二端部係藉由研磨處理來被磨平。
26. 如申請專利範圍第25項所述之具有多層佈線結構之半導體晶片裝置，更包含形成於每一第三導電體與每一第四導電體之第二端部上的金屬連接塊。



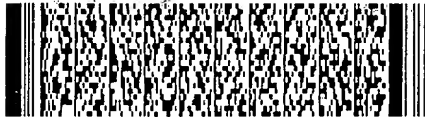
第 1/17 頁



第 2/17 頁



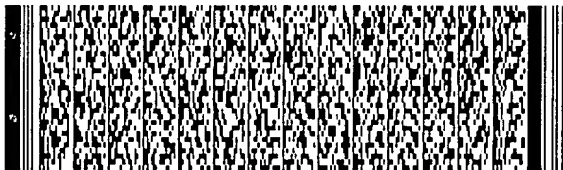
第 3/17 頁



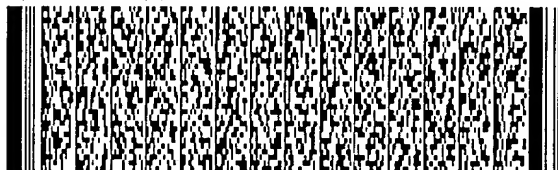
第 4/17 頁



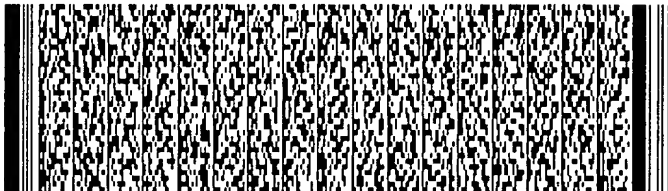
第 5/17 頁



第 5/17 頁



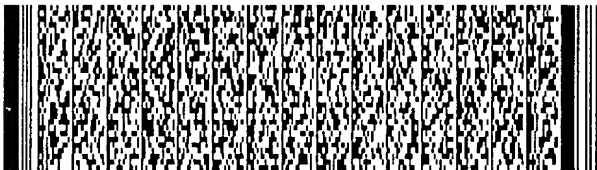
第 6/17 頁



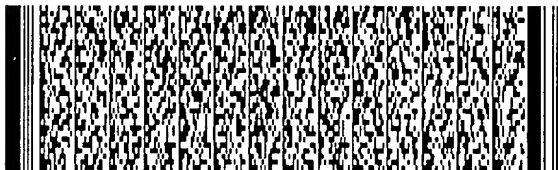
第 7/17 頁



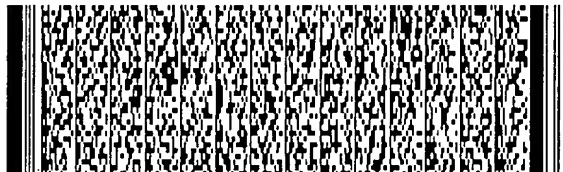
第 7/17 頁



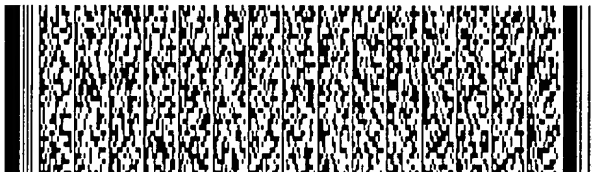
第 8/17 頁



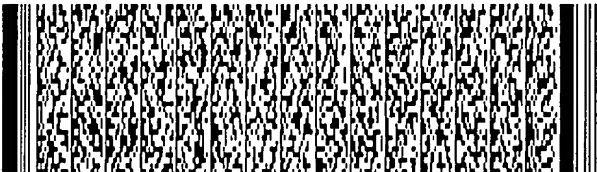
第 8/17 頁



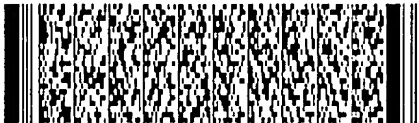
第 9/17 頁



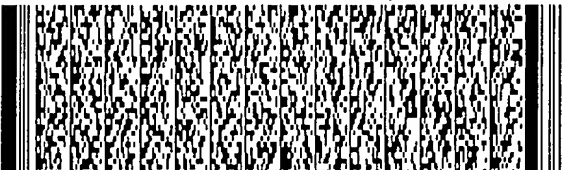
第 9/17 頁



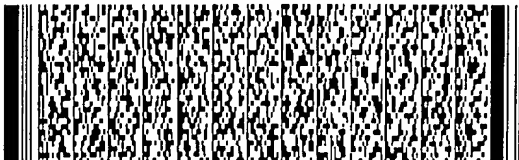
第 10/17 頁



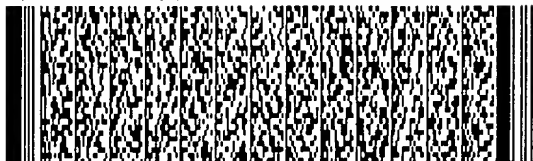
第 11/17 頁



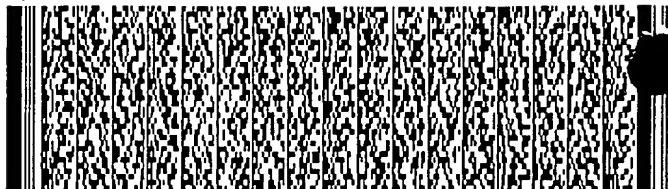
第 12/17 頁



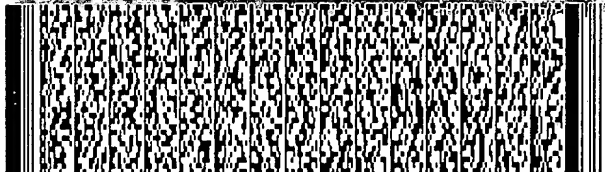
第 12/17 頁



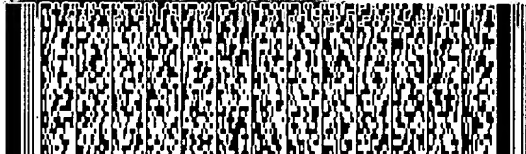
第 13/17 頁



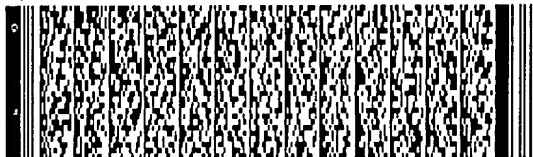
第 14/17 頁



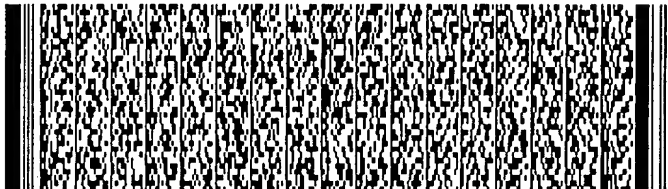
第 15/17 頁



第 15/17 頁



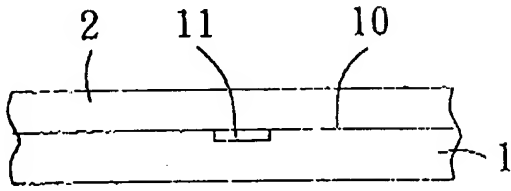
第 16/17 頁



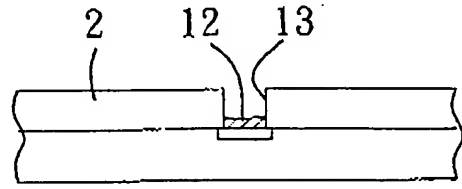
第 17/17 頁



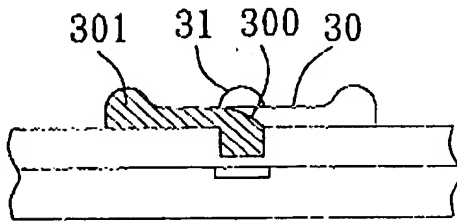
圖式



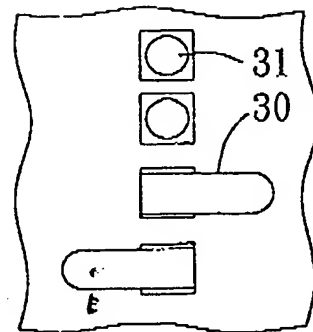
第一圖



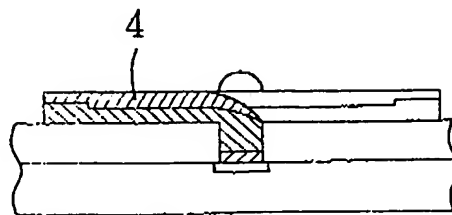
第二圖



第三圖

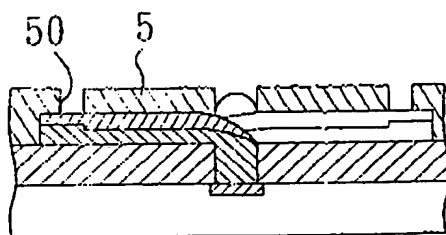


第四圖

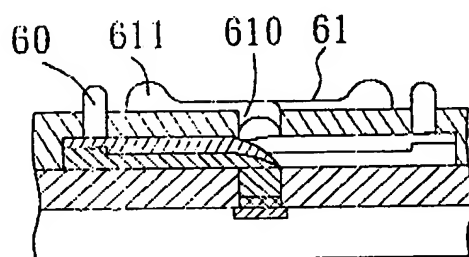


第五圖

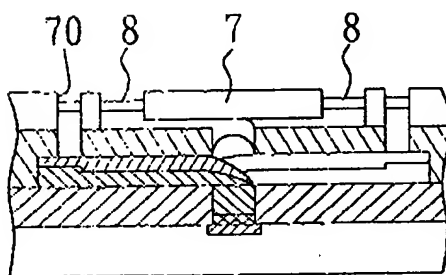
圖式



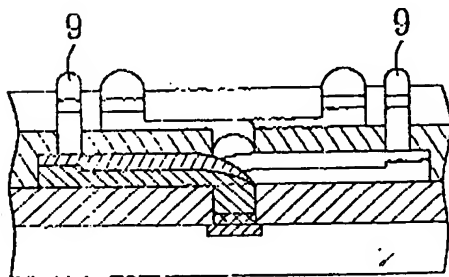
第六圖



第七圖



第八圖



第九圖

裝

訂

線